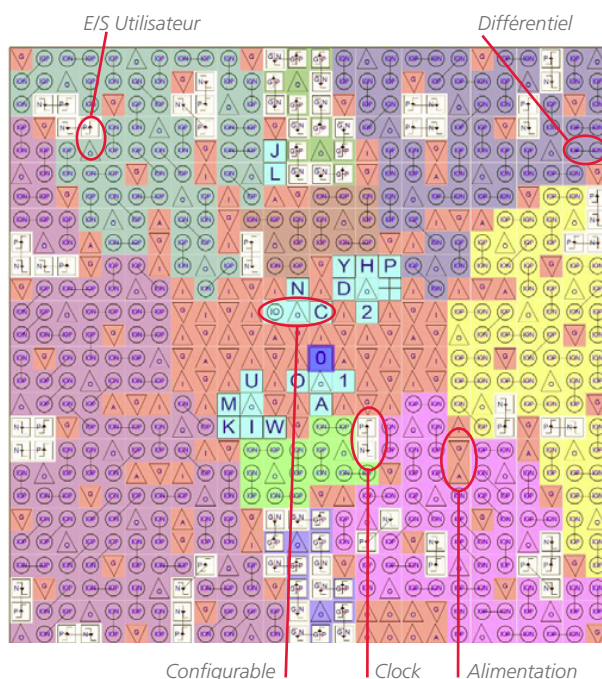


OrCAD FPGA System Planner

Outil d'optimisation de brochage de FPGA en fonction du placement

FPGA System Planner permet aux concepteurs de relever les défis liés à la conception d'un ou plusieurs FPGA à grand nombre de broches sur un circuit imprimé : créer l'affectation initiale des broches, l'intégrer aux schémas et s'assurer que le projet peut être routé sur la carte. La technologie évolutive complète de cet outil automatise et optimise les affectations de broches en «respectant les règles du système». Cette solution unique d'affectation en fonction du placement remplace le processus manuel, source d'erreurs. Elle élimine les itérations inutiles de conception des circuits imprimés tout en réduisant le temps nécessaire à obtenir une affectation idéale.



> Représentation, avec code couleurs, des E/S d'un FPGA à plusieurs bancs avec différents types de broches configurables

Les avantages de FPGA System Planner

- Solution de conception intégrée et évolutive de FPGA et circuit imprimé allant d'OrCAD® Capture à Allegro PCB Designer
- Accélère l'affectation initiale optimale des broches et donc les projets de conception de circuits imprimés
- Accélère l'intégration des FPGA avec les environnements de conception de circuits imprimés Cadence®
- Élimine les itérations de conception inutiles et fastidieuses au cours de la mise au point des circuits imprimés
- Élimine les itérations inutiles de prototypes dues à des erreurs d'optimisation des broches du FPGA
- Réduit le nombre de couches sur les circuits imprimés grâce à l'optimisation et à l'affectation des broches en fonction du placement

Conception de FPGA avec un grand nombre de broches sur des circuits imprimés

L'intégration des FPGA (avec leurs nombreux types de règles d'affectation et leurs broches configurables par l'utilisateur) sur les circuits imprimés prend beaucoup de temps et allonge les cycles de conception.

L'affectation des broches de ces FPGA est souvent réalisée manuellement, broche par broche, dans un environnement ignorant les principes du placement des composants critiques connectés à un FPGA.

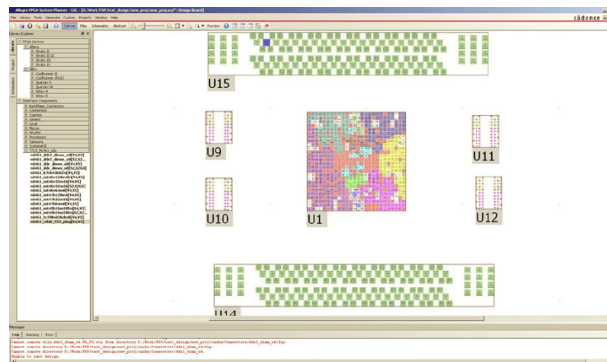
Sans une bonne compréhension de l'impact sur le routage du circuit imprimé, les responsables de projets de conception basés sur le FPGA doivent choisir entre deux mauvaises options : accepter une affectation des broches non optimale, ce qui peut augmenter le nombre de couches sur un circuit imprimé, ou passer par des phases de prototypes inutiles en fin de cycle de conception. La perte de temps liée aux affectations manuelles de broches des FPGA empêche de faire des comparaisons d'utilisation de plusieurs type/famille de FPGA pour un même projet. En effet, ce type de comparaisons forcerait à étudier plusieurs projets parallèlement sans aucune réutilisation des éléments/modules du projet (design reuse) entre les deux.

FPGA System Planner propose une solution évolutive complète pour la conception de circuit imprimé associé à un FPGA, permettant une affectation de broches optimale. L'affectation des broches du FPGA est automatiquement synthétisée en fonction de la connectivité définie par l'utilisateur (objectif de conception), des règles d'affectation des broches du FPGA (règles FPGA) et du placement des FPGA sur le circuit imprimé (placement relatif).

Cette synthèse automatique évite des interactions manuelles, source d'erreurs, tout en accélérant la création de l'affectation initiale des broches utile au placement des FPGA sur le circuit imprimé (synthèse d'affectation des broches en fonction du placement).

Cette approche unique de l'affectation des broches en fonction du placement élimine les inutiles itérations de placement/routage inhérentes aux interactions manuelles. En proposant rapidement une affectation optimale des broches en fonction de l'objectif de conception spécifié par l'utilisateur au niveau système, FPGA System Planner permet aux concepteurs d'étudier en détails leur architecture basée sur les FPGA et de créer une affectation optimale des broches pour des cartes prototypes ou cartes de production contenant des FPGA.

FPGA System Planner est intégré aux outils de conception Cadence : Cadence OrCAD® Capture et Cadence® Allegro Design Entry (CIS et HDL). Il lit et crée des symboles pour schémas OrCAD Capture et Allegro Design Entry HDL. Par ailleurs, une représentation de plan d'implantation utilise les bibliothèques d'empreintes existantes pour OrCAD® PCB Designer et Allegro® PCB Designer. Si une modification du placement est requise pendant la mise au point, l'optimisation des broches avec FPGA System Planner est directement accessible depuis PCB Editor.



> La représentation du placement/Floorplan d' FPGA System Planner fournit une vue du placement des composants critiques avant synthèse de l'affectation optimale des broches

Caractéristiques

Technologie FPGA System Planner

Un système de FPGA est défini comme un sous-ensemble de la conception du circuit imprimé comprenant un ou plusieurs FPGA ainsi que d'autres composants connectés à des FPGA.

Les approches habituelles de l'affectation des broches sont le plus souvent manuelles et basées sur des feuilles de calcul. Les outils de ce type nécessitent de procéder à l'affectation des broches sans tenir compte du placement des autres composants ni de la routabilité des équipotentielles.

Aucun contrôle en ligne des règles ne permet de s'assurer que les bons types de broches sont utilisés pour les signaux affectés aux broches des FPGA.

Les utilisateurs doivent donc réaliser plusieurs études entre les outils sur feuille de calcul et les outils des fondeurs de FPGA. Le nombre d'essais augmente souvent entre le concepteur du circuit imprimé, qui ne peut pas router les signaux depuis les broches de FPGA sur les couches disponibles, et le concepteur de FPGA, qui doit accepter des suggestions d'affectation des broches formulées verbalement ou sur papier par le concepteur du circuit imprimé. Une fois que le concepteur de FPGA a apporté une modification à l'affectation des broches, cette modification doit être reportée sur les schémas de conception par le concepteur matériel. Toutes ces itérations ajoutent des jours et parfois des semaines au cycle de conception. Ce processus étant manuel, les erreurs non détectées peuvent également donner lieu à de coûteuses fabrications de prototypes.

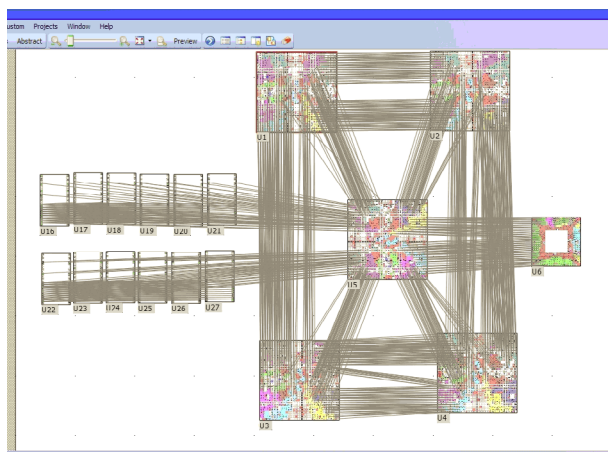
S'il peut être utile d'automatiser la synchronisation des modifications apportées à l'affectation des broches par le concepteur de FPGA ou de circuit imprimé, cela ne permet pas d'éliminer l'origine de ces essais. Une affectation des broches qui n'est pas guidée par les trois aspects (disponibilité des ressources FPGA, règles d'affectation des broches des fondeurs de FPGA et routabilité des broches de FPGA sur un circuit imprimé)

nécessite de nombreuses études à la fin du processus de conception, ce qui allonge la durée requise pour l'intégration de FPGA complexes sur un circuit imprimé.

Spécification de l'objectif de conception

FPGA System Planner est fourni avec une bibliothèque de composants FPGA pour simplifier la sélection des composants à mettre en place. Il utilise les empreintes Allegro PCB Editor ou OrCAD PCB Editor pour la représentation des plans d'alimentation et permet de créer rapidement un placement relatif des composants du système de FPGA.

FPGA System Planner permet de spécifier la connectivité entre les composants du sous-système de FPGA à un niveau élevé grâce à des définitions d'interfaces. Les utilisateurs peuvent créer des interfaces telles que DDR2, DDR3 et PCI Express et les utiliser pour spécifier la connectivité entre un FPGA et un module mémoire DIMM ou entre deux FPGA. FPGA System Planner sait reconnaître les signaux différentiels, les signaux de puissance et les signaux d'horloge.



> FPGA System Planner optimise plusieurs FPGA simultanément

Règles de composants des FPGA

FPGA System Planner est fourni avec une bibliothèque de modèles FPGA offrant des précisions relatives aux composants et intégrant des règles d'affectation de broches et des règles électriques spécifiées par les fabricants de systèmes FPGA. Ces modèles de FPGA sont utilisés par le moteur de synthèse garantissant le strict respect des règles électriques définies par les fondeurs. Ces règles régissent notamment la sélection de l'horloge et la zone d'horloge, l'affectation des bancs de mémoire, la gestion SSO, l'utilisation du pilote de mémoire tampon, les niveaux de référence de tension standard d'E/S, etc.

Au cours de la synthèse, FPGA System Planner contrôle automatiquement des centaines de combinaisons de ces règles pour garantir que les broches des FPGA sont utilisées de manière précise et optimale.

Synthèse de l'affectation des broches en fonction du placement

FPGA System Planner permet de créer une représentation visuelle du placement du FPGA à l'aide des empreintes d'Allegro PCB Editor. Sur la représentation visuelle du placement, le concepteur indique la connectivité entre les composants et le FPGA en utilisant des interfaces telles que DDRx, PCI Express, SATA, bus frontal, etc., qui permettent de connecter les FPGA et d'autres composants, en accélérant la spécification de l'objectif de conception pour le système de FPGA.

Une fois la connectivité du FPGA avec les autres composants du sous-système définie, FPGA System Planner synthétise l'affectation des broches d'après l'objectif de conception de l'utilisateur, les ressources FPGA disponibles, le placement des composants autour du FPGA et les règles d'affectation des broches du fabricant du FPGA.

FPGA System Planner dispose d'un moteur qui intègre les règles d'affectation des broches, des tensions de référence et des terminaisons spécifiées par les fondeurs de FPGA. Ce moteur, basé sur des règles précises, évite les redondances de prototypes de circuits imprimés car les FPGA disposent toujours de connexions correctes. Les algorithmes d'affectation des broches sont optimisés pour affecter des signaux d'interfaces à un groupe de broches afin de minimiser les croisements de nets et améliorer la qualité de routage du PCB.

EXPLORATION ARCHITECTURALE ACTIVE

Pendant le processus de sélection de systèmes, les concepteurs de FPGA ont besoin d'un moyen d'évaluer si le ou les FPGA qu'ils choisissent peuvent répondre aux besoins de leur application, tout en maintenant le coût des systèmes aussi bas que possible. L'estimation des besoins de ressources des FPGA peut être complexe et nécessite de tenir compte des LUT (tables de correspondances), des exigences d'E/S haute fréquence et de la mémoire avec les E/S pour les signaux basse fréquences. Il est parfois plus économique de choisir plusieurs FPGA qu'un FPGA de grande taille. Dans certains cas, un FPGA avec de nombreuses broches est suffisant et permet d'économiser de l'espace de routage sur la carte. Les approches manuelles d'affectation des broches rendent ces comparaisons de coûts et de performances très longues et fastidieuses.

Avec sa synthèse d'affectation des broches d'E/S des FPGA tenant compte du placement, FPGA System Planner aide les concepteurs à réaliser rapidement ces comparaisons en passant outre l'exploration architecturale manuelle.

Prototypage de circuits intégrés spécifiques (ASIC) à l'aide de FPGA

Certaines entreprises procèdent au prototypage des ASIC par des FPGA montés sur le circuit imprimé. Le nombre de FPGA utilisés augmente alors considérablement. Il est parfois nécessaire d'utiliser plusieurs circuits imprimés pour accueillir tous les FPGA. De plus, sans tenir compte du placement de ces FPGA, l'affectation des broches peut allonger considérablement le processus de routage du circuit imprimé, et retarde la production du prototypage FPGA de l'ASIC.

FPGA System Planner accélère la création de l'affectation des broches pour un grand nombre de FPGA grâce à une synthèse tenant compte du placement et exploitant une bibliothèque de modèles de FPGA qui offre des précisions au niveau des composants.

Grâce à la possibilité d'exporter des informations de ports dans Verilog® et d'importer la connectivité depuis Verilog, FPGA System Planner permet de réaliser des itérations avec des logiciels de partitionnement RTL, ce qui accélère la définition de systèmes basés sur FPGA et la création d'affectation des broches de FPGA précises du point de vue du contrôle des règles de conception.

de broches. Cette intégration permet également d'importer les affectations de broches dans FPGA System Planner pour une conception commencée avec les outils de FPGA pour valider les affectations avec d'autres composants sur un placement déjà réalisé.

Optimisation de l'affectation des broches pour le pré-routage

L'affectation initiale des broches (qui indique le placement et la routabilité du FPGA sur un circuit imprimé) va bien au-delà de la réduction des coûteuses répétitions de conception entre les concepteurs du FPGA, du circuit imprimé et du matériel.

Une fois que le concepteur du circuit imprimé commence à planifier le routage des interfaces et signaux sur le FPGA, il est possible d'affiner encore plus l'affectation des broches du FPGA en fonction de l'objectif de routage, des contraintes de couches et de la dispersion choisie pour le FPGA. FPGA System Planner permet d'optimiser l'affectation des broches de FPGA après le placement et pendant le routage des interfaces et signaux sur un FPGA.

Intégration étroite avec la conception Cadence

FPGA System Planner génère des schémas Allegro Design Entry CIS et Allegro Design Entry HDL pour les sous-systèmes de FPGA. Il utilise les symboles existants pour les FPGA dans les bibliothèques de symboles Allegro Design Entry. FPGA System Planner peut créer des divisions de symboles (split-symbols) pour les FPGA en fonction de la connectivité ou un symbole unique divisé par banc.

Intégration avec les outils des fondeurs de FPGA

En plus de l'intégration avec les outils de conception de circuits imprimés Cadence, FPGA System Planner communique de manière transparente avec les outils de conception de FPGA. Il génère et lit les fichiers de contraintes d'affectation de broches des fondeurs de FPGA. Le concepteur de FPGA peut ainsi évaluer les affectations de broches en fonction des besoins fonctionnels du FPGA.

Toute modification qu'il apporterait pour respecter ces exigences peut être importée dans FPGA System Planner afin de synchroniser l'ensemble complet des affectations

Évolutivité

La technologie d' FPGA System Planner est disponible dans les gammes suivantes :

- **FPGA System Planner GXL**, pour synthétiser et optimiser l'affectation des broches de PLUS DE QUATRE FPGA à la fois. Convient aux entreprises qui utilisent des FPGA pour le prototypage des circuits intégrés spécifiques.
- **FPGA System Planner XL**, pour l'affectation des broches, la synthèse et l'optimisation après placement d'un maximum de QUATRE FPGA à la fois.
- **FPGA System Planner L**, pour l'affectation des broches, la synthèse et l'optimisation après placement d'UN SEUL FPGA.
- **OrCAD FPGA System Planner**, pour la synthèse initiale optimale de l'affectation des broches sur UN SEUL FPGA.