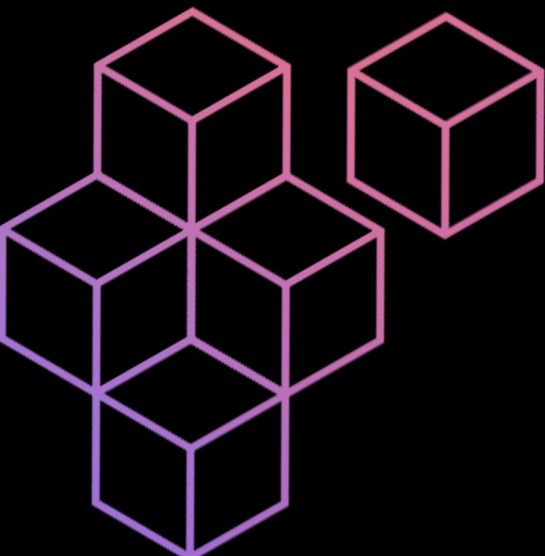


# **Note d'Application:**

## Distribution du courant dans une matrice de vias



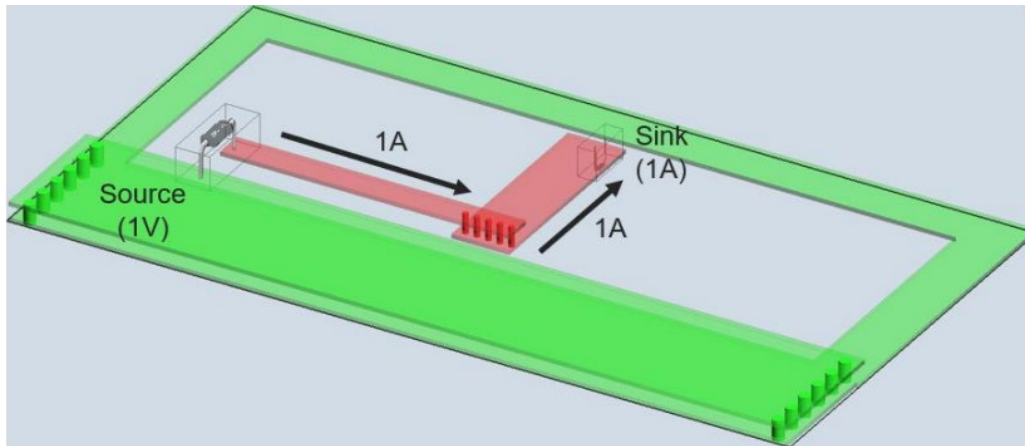
# Introduction

Les ingénieurs en intégrité de puissance sont généralement confrontés à des points chauds dans les conceptions et sont sollicités pour fournir des moyens afin de réduire localement la valeur des courants continus, un problème courant est de comprendre et de gérer ces courants dans une matrice de vias.

Cette note d'application décrit la distribution de courant dans une matrice de vias et corrèle les résultats simulés avec Celsius PowerDC et ceux extraits du modèle d'une matrice de résistances simulé avec PSpice. L'objectif de ce document est de montrer que la majeure partie du courant prend le chemin offrant le moins de résistance mais que tous les autres chemins sont également utilisés.

## Etude d'un cas simple

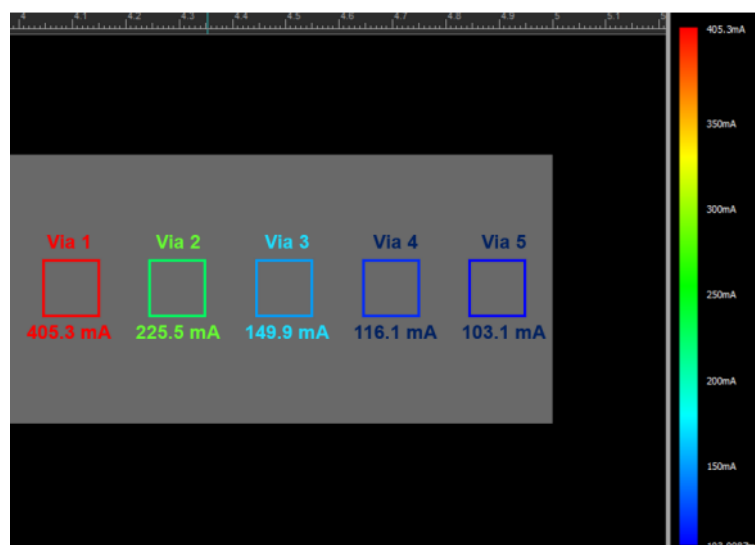
Dans cette partie, une simple matrice de vias est considérée, cinq vias alignés et un courant continu de 1A appliqué au système. Les shapes et les vias métallisés ont une conductivité de  $5.8E7 \text{ S/m}$ .

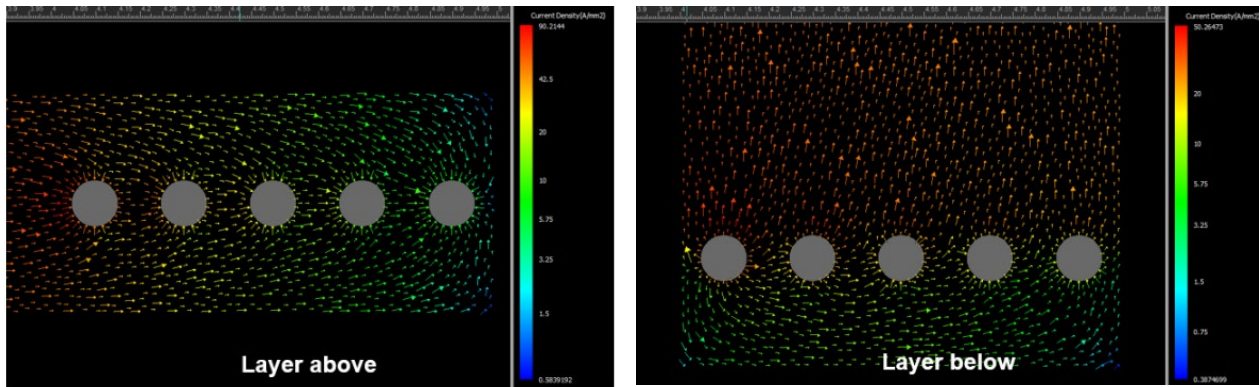


La première étape est d'examiner comment le courant est distribué à travers les différents vias de la matrice en utilisant le logiciel Celsius PowerDC. Pour simuler le comportement voulu du système, un VRM (Voltage Regulator Module) de 1V, la source et un « Sink » (puits de courant ou charge à courant constant) de 1A, sont placés dans le système comme le montre l'image ci-dessus.

On s'attend à ce que le via le plus à gauche transporte le plus de courant, car son chemin entre la source et la charge est le plus court (donc le moins résistif), tandis que le via le plus à droite transportera moins de courant, car son chemin est le plus long (donc le plus résistif).

Après avoir lancé l'analyse IR-drop dans Celsius PowerDC, la distribution du courant dans la matrice de vias est affichée ci-dessous :

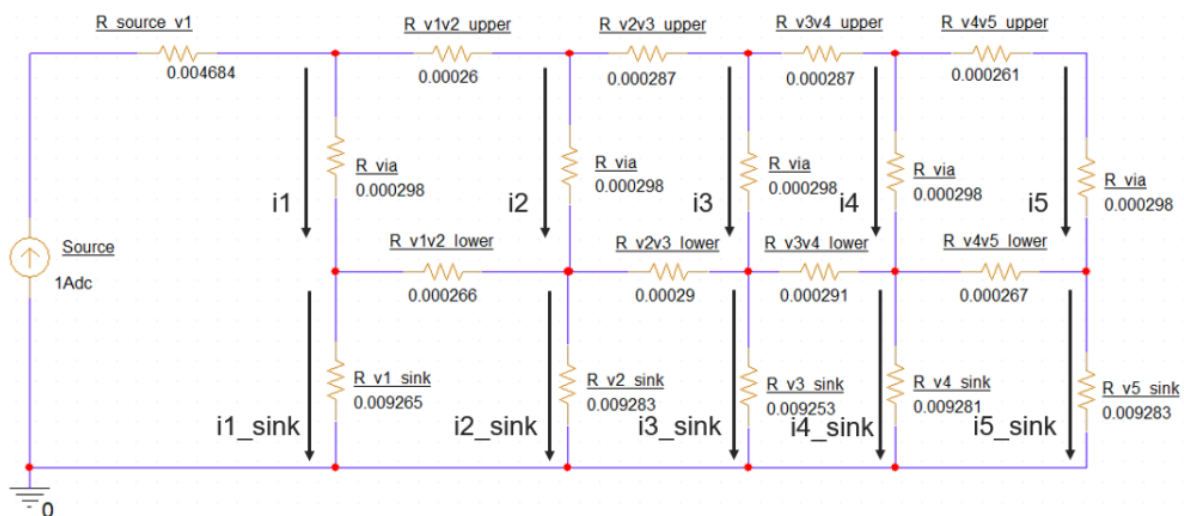




Les résultats de Celsius PowerDC montrent que nos prévisions sont globalement réalisées. Le via le plus à gauche conduit le plus de courant, tandis que celui le plus à droite en conduit le moins. Cependant, on peut se questionner sur la quantité de courant transportée par chaque via. Même si la théorie semble vérifiée, la distribution de courant simulée est-elle trop déséquilibrée ? Le rapport de courant entre le via le plus à gauche et celui le plus à droite est environ de 4.

En réalité, la résistance entre chaque paire de vias (adjacent ou pas) associée au métal qui les relie est responsable de cette distribution. Pour apporter des éclaircissements sur le rôle de ces résistances via-to-via, l'étape suivante consiste à modéliser notre système distribué en un système localisé. Ensuite, une analyse du schéma de ce système localisé devrait nous fournir une estimation raisonnable de la distribution du courant dans la matrice de vias.

On peut obtenir les résistances entre chaque paire de vias adjacents, entre la broche positive du VRM et le via le plus à gauche, et entre la broche positive du puits et chaque via à l'aide de l'analyse *Resistance Network Model Generation* dans Celsius PowerDC. Ensuite, on crée le schéma du système dans OrCAD Capture comme ci-dessous :



Dans lequel les résistances et les courants correspondent à :

R_source_v1	Résistance entre la broche + du VRM et le via le plus à gauche
R_v1v2_upper	Résistance entre le via 1 et le via 2 (couche du dessus)
R_v2v3_upper	Résistance entre le via 2 et le via 3 (couche du dessus)
R_v3v4_upper	Résistance entre le via 3 et le via 4 (couche du dessus)
R_v4v5_upper	Résistance entre le via 4 et le via 5 (couche du dessus)
R_via	Résistance du via
R_v1_sink	Résistance entre le via 1 et la broche + du puits
R_v2_sink	Résistance entre le via 2 et la broche + du puits
R_v3_sink	Résistance entre le via 3 et la broche + du puits
R_v4_sink	Résistance entre le via 4 et la broche + du puits
R_v5_sink	Résistance entre le via 5 et la broche + du puits
i1	Courant à travers le via 1
i2	Courant à travers le via 2
i3	Courant à travers le via 3
i4	Courant à travers le via 4
i5	Courant à travers le via 5
i1_sink	Courant du via 1 vers le puits
i2_sink	Courant du via 2 vers le puits
i3_sink	Courant du via 3 vers le puits
i4_sink	Courant du via 4 vers le puits
i5_sink	Courant du via 5 vers le puits

Les résultats de simulation PSpice et de Celsius PowerDC sont présentés ci-dessous :

	PSpice	Power DC IR-Drop	Erreur
i1	459.5mA	405.3mA	13%
i2	207.6mA	225.5mA	8%
i3	128.4mA	149.9mA	14%
i4	105.2mA	116.1mA	9%
i5	99.3mA	103.1mA	4%
i1_sink	213.2mA	-	-
i2_sink	205.8mA	-	-
i3_sink	198.7mA	-	-
i4_sink	192.5mA	-	-
i5_sink	189.9mA	-	-

Comme mentionné précédemment, Celsius PowerDC considère le système dans son ensemble avec des résistances distribuées, alors que le modèle simplifié dans OrCAD Capture est un système localisé. Par conséquent, l'approche au niveau schéma fournit une approximation mais suffisamment raisonnable de la distribution du courant (écart maximum de 14%) confirmant la distribution observée dans Celsius PowerDC.

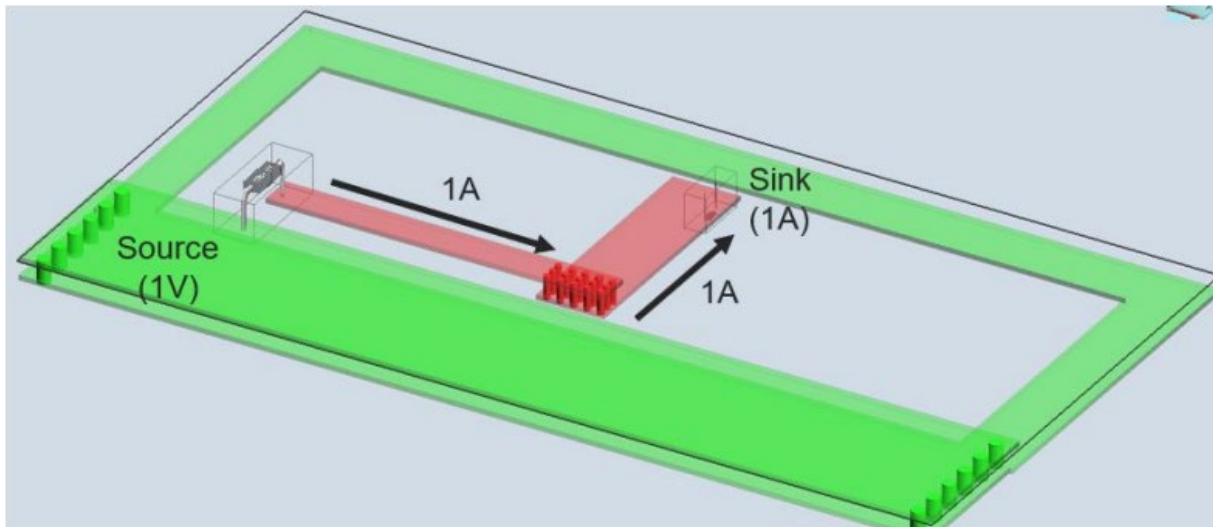
De plus, il convient de souligner l'impact des résistances internes de la matrice de vias sur la distribution du courant :

1. Le courant parcourant la résistance R\_source\_v1 (avant la matrice de vias) vaut 1A. Par conséquent ; la résistance du conducteur avant la matrice de vias n'impacte pas la distribution du courant dans la matrice de vias.
2. Les courants parcourant les résistances R\_v1\_sink ~ R\_v5\_sink sont pratiquement identiques, montrant que la résistance des conducteurs après la matrice n'a pas d'impact significatif sur la distribution.



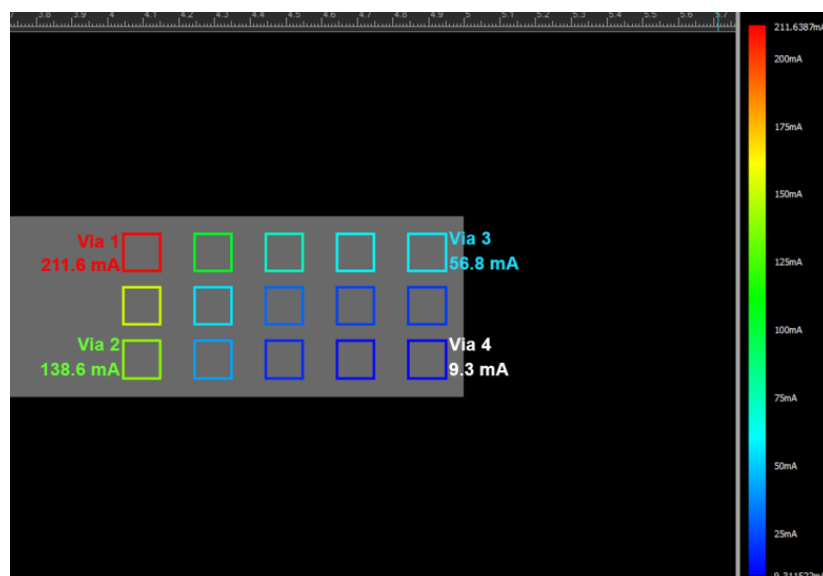
## Etude d'un cas complexe

Dans cette partie, une matrice de vias plus complexe est considérée, une matrice de 5 lignes et 3 colonnes et un courant continu de 1A est appliqué au système. Tous les conducteurs (pistes, shapes, vias) ont une conductivité de  $5.8E7$  S/m.



Encore une fois, la première étape consiste à examiner comment le courant est réparti entre les différents vias de la matrice en utilisant Celsius PowerDC. Tout comme dans le cas simple, on s'attend à ce que le via en haut le plus à gauche transporte le plus de courant, étant donné qu'il a le chemin le plus court (et donc le moins résistif) entre la source et le puits, tandis que le via en bas le plus à droite transporte moins de courant, car il a le chemin le plus long (et donc le plus résistif) entre la source et le puits.

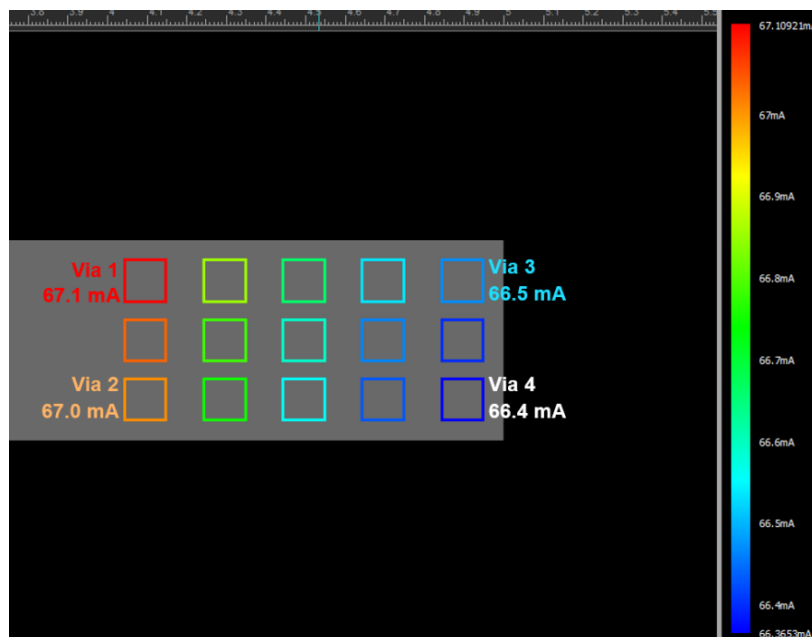
Après lancement de l'analyse IR-Drop dans Celsius PowerDC, la distribution du courant pour la matrice de vias est représentée ci-dessous :



Une nouvelle fois, les résultats de Celsius PowerDC montrent que nos prévisions sont globalement réalisées, mais que la quantité du courant transporté par chaque via peut paraître trop déséquilibrée. Le rapport entre les courants du via le plus à gauche en haut et du via le plus à droite en bas est au-delà de 20.

Comme précédemment, les résistances entre chaque paire de vias (adjacents ou non) associées au métal qui les relie sont la cause d'une telle distribution de courant. On pourrait modéliser le système dans Capture et vérifier le rôle de ces résistances avec une simulation PSpice. Mais ceci demanderait plus de temps que le cas précédent, vu la complexité de la matrice.

Alternativement, on peut rendre la conductivité du métal suffisamment élevée afin que la résistance entre chaque paire de vias devienne négligeable. Suivant cette approche, tous les conducteurs en métal se voient attribuer une valeur de conductivité de  $1E12$  S/m. Après avoir relancé une analyse IR-Drop avec cette nouvelle configuration, la distribution du courant pour la matrice de vias est celle-ci :



Il apparaît que le courant est désormais réparti de manière beaucoup plus uniforme entre tous les vias. Comme la conductivité du métal a augmenté de façon significative, les résistances entre chaque paire de vias ont diminué en conséquence. Il n'y a plus de chemin privilégié. Le rapport entre les vias en haut à gauche et en bas à droite est désormais de 1.01. Il n'est pas encore égal à 1, car le métal a toujours une légère résistivité.

Après avoir compris comment la distribution de courant d'une matrice de vias se comporte à la fois dans un cas simple et complexe, il est maintenant établi que les résistances internes de la matrice associées aux connections entre chaque vias sont responsables de la distribution du courant.